

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **06-083476**

(43)Date of publication of application : 25.03.1994

(51)Int.Cl.

G06F 1/08

(21)Application number : **04-236117**

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 03.09.1992

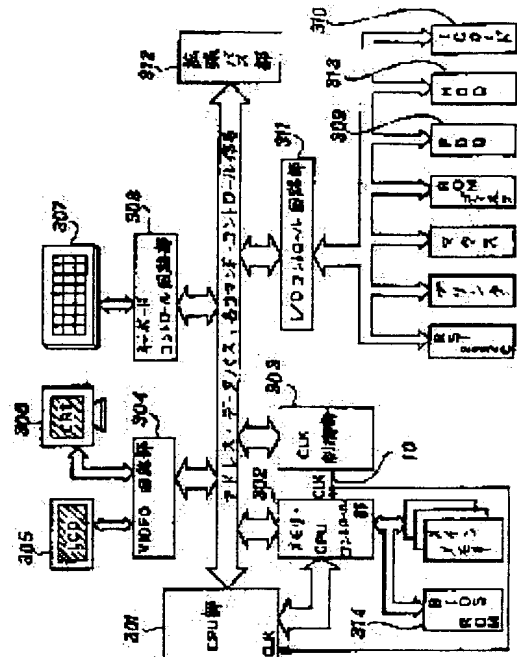
(72)Inventor : **NAKAMURA AKYOSHI**

(54) INFORMATION PROCESSOR

(57)Abstract:

PURPOSE: To easily vary the clock of the information processor by a program in an external storage device by writing the clock frequency of a CPU which is supplied from the external storage device in the storage means of the information processor and generating a clock corresponding to data in this storage means.

CONSTITUTION: A CPU of 16MHz in maximum clock frequency is taken out of a CPU socket and replaced with a CPU of 20MHz in maximum clock frequency. The floppy disk attached to the purchased CPU of 20MHz in frequency is loaded in an FDD 309. The software which executes instructions for writing values corresponding to a 20MHz clock frequency in a CLK control part 303 is stored on the floppy disk. When a user turns ON the power source of the information process for booting through the FDD, the instructions for writing the values corresponding to the clock frequency in the CLK control part 303 are automatically executed to vary the clock frequency.



LEGAL STATUS

[Date of request for examination] 03.08.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3250268

[Date of registration] 16.11.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

特開平6-83476

(43)公開日 平成6年(1994)3月25日

技術表示箇所

3 2 0 A

審査請求 未請求 請求項の数 7 (全 22 頁)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 中村 明善

長野県諏訪市大和3丁目3番5号セイコー
エプソン株式会社内

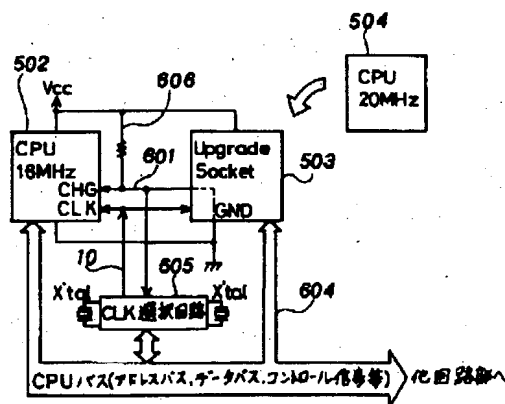
(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

(54) 【発明の名称】 情報処理装置

(57) 【要約】

【目的】 ユーザーが情報処理装置のCPUを、より高性能のCPUにグレードアップする際、前記高性能のCPUに対応したCLK周波数及び対応する制御信号を自動的に出力できる情報処理装置を提供することを目的とする。又、外部記憶装置に記憶されているアプリケーションソフトウェアが各情報処理装置に対応する最適のユーザーインターフェイスを構築することができるシステムを提供することを目的とする。

【構成】 本発明の情報処理装置は、外部記憶装置からの情報を基にCPUのCLK周波数を自動的に変更することを可能にするCLK変更手段を有する。又、グレードアップされた第2のCPUのCLK周波数に対応するCLK、READY信号の生成手段を有する。



1

【特許請求の範囲】

【請求項1】CPUのクロック周波数を変更可能な情報処理装置において、外部記憶装置により提供されるCPUのクロック周波数に関するデータを、前記情報処理装置の特定の記憶手段に書き込み、該記憶手段のデータを基に対応するクロックを発生し、従来のクロックに置き替えることを特徴とする情報処理装置。

【請求項2】前記情報処理装置上で実行される複数のタスクを管理するオペレーティングシステムと、少なくとも前記複数のタスクに対応したクロック周波数に関するデータを設定する複数の記憶手段と、前記オペレーティングシステムの指示により前記複数の記憶手段の中から1つを選択するセレクタと、前記セレクタにより選択された記憶手段のデータを基にクロックを発生するクロック発生回路とを有することを特徴とする情報処理装置。

【請求項3】第1のCPUと、前記第1のCPUと異なるクロック周波数で動作する第2のCPUを前記第1のCPUに付加あるいは前記第1のCPUと交換可能な情報処理装置において、前記第2のCPUのクロック周波数に対応するクロックを出力する手段と、前記第2のCPUに対応するCPUサイクル終了信号（以下READY信号とする）を生成する手段とを有することを特徴とする請求項1記載の情報処理装置。

【請求項4】前記第2のCPUのクロック周波数に対応するクロックを出力する手段を、リセット信号もしくは電源のオン/オフに伴って発生する信号で制御することを特徴とする請求項3記載の情報処理装置。

【請求項5】前記第2のCPUのクロック周波数に対応するクロックを出力する手段は、外部記憶装置からの情報を基にCPUに与える第1のクロックを発生する周波数シンセサイザを有し、又、前記周波数シンセサイザとは別の第2のクロックを発生するクロック発生手段を更に有し、前記第2のCPUのクロック周波数に対応するクロックを出力する際に前記第1のクロックと前記第2のクロックを切り替える手段を有することを特徴とする請求項3記載の情報処理装置。

【請求項6】前記第2のCPUを前記第1のCPUに付加あるいは前記第1のCPUと交換したことを示す検出信号と、前記検出信号によりあらかじめ決められている任意の周波数にクロック周波数を初期設定する手段を有することを特徴とする請求項3記載の情報処理装置。

【請求項7】前記情報処理装置の前記オペレーティングシステムは、現在実行中のタスクのクロック周波数に優先して前記オペレーティングシステム全体のクロック周波数選択する為の手段を有することを特徴とする請求項2記載の情報処理装置。

2

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、CPUのクロック周波数を変更可能な情報処理装置に関する。

【0002】

【従来の技術】従来、CPUを有する情報処理装置に於てCPUのクロック周波数（以下CLK周波数）を変更する方法として、前記情報処理装置のスイッチ設定もしくは、キーボード入力でCLK周波数を変更する方法が知られていた。これは、1つはソフトウェアの互換性を保つ為であり、もう1つは前記情報処理装置全体の消費電力を下げるためのモードを設けるためのものである。

【0003】通常、CPUのCLK周波数は低速、中速、高速などのような2～3設定位の事前に決められた値に設定することができ、その設定をBIOSは知ることができる。しかし、外部記憶装置に記憶されているアプリケーションソフトは実際にCLK周波数がどの位であるか正確に認識できない。これは、前記情報処理装置内に実装されるCPUがデバイスの進歩と共に機能アップするからであり、将来的なCPUのCLK周波数がわからないため事前にアプリケーションソフトに正確にCPUのCLK周波数を知らせる機能を前記情報処理装置内に設けることができない為である。

【0004】従来例として図22にCPU111のCLK周波数を変更する実施例を示した。本例はCPU111の最大CLK周波数に相当するCLK102を発生する発振器の出力と、前記最大CLK周波数よりも低い周波数のCLK103を切り替えるものである。

【0005】図22の例は、最大CLK周波数が40.0MHzであるCPU111のCLK110を切り替える回路ブロック図であり、発振器101の発振周波数102と前記発振周波数102を1/2分周した発振周波数103をユーザーがCLK切り替えスイッチ等を操作することで発生するCLK周波数切り換え信号104によって選択しCPU111のCLK110として供給するものである。

【0006】又、図22に示した発振器を用いた例とは別に、図23に外部から信号を与えることで、ある固定の周波数を発生するPLL（phase-locked loop）方式の周波数シンセサイザを用いたCPUのCLK供給回路例を示す。周波数シンセサイザはIC化が比較的用意であるため、任意に設定されたいくつかの周波数を発生するICなどが市販されている。本例では周波数シンセサイザIC105の中にSerial Interface106をもちシステムから与えられた任意の設定値107に従って、出力するCLK10の周波数を変更する。従来の例では、システムから与えられる任意の設定値は、システムとして固定されており一般的には回路のみで本信号107は発生される。従って結果としてCLK10の周波数もシステムとしては固定

となる。

【0007】また、従来、前記情報処理装置のCPUをグレードアップする手段としてCPUの他にメモリおよびコントロールIC等が実装されたCPUボード全体を交換するのが一般的であった。又、CPUのみを交換することによってグレードアップする方法としては、外部から供給されるCLK周波数をあらかじめ決まった周波数にディップスイッチ等で変更する方法と、内部CLK周波数を2倍から数倍に上げたCPUに交換する方法が知られていた。

【0008】外部から供給されるCLK周波数をあらかじめ決まった周波数に変更する例を図24に示す。本例ではCPU111を交換後、前記CPU111に対応するCLK周波数をジャンパー21で選択する回路例を示す。(16MHz、25MHz、33MHzの例を示した。)

また、その他のCLK切り替えの従来例として、CPUの必要なクロック・パルス周波数を指定する事によってマイクロコンピュータ・システムの全消費電力を最小化するという、特公平4-12842号公報がある。特公平4-12842号公報に示される発明は、周波数シンセサイザが低周波数のCLKから高周波数のCLKを生成する事に着目した発明であり、プログラム可能なタスクの実行に必要なCLK周波数を与え、タスクの処理が終了すると消費電力を落とすために最高周波数よりも低い周波数で動作させる。

【0009】しかしながら、特公平4-12842号公報に示される発明は、最小消費電力で動作可能なシステム構築を目的としている為、外部記憶装置からの情報をもとにCPUのCLK周波数を変更する機能は考慮に入られていない(考慮に入れる必然性がないため)。又、特公平4-12842号公報に示される発明は、プログラム可能なタスクごとに細かくCLK周波数を制御できるような限定されたシステムには有効であるが、本発明の実施例に示すような汎用性のあるパーソナルコンピュータ等の情報処理装置においてはプログラムによって細かく制御できないため有効な手段にはならない。そして特公平4-12842号公報に示される発明と本発明の構成上の最大の違いは、特公平4-12842号公報に示される発明が周波数シンセサイザに限定されることであり、それに対し本発明は周波数シンセサイザを用いなくとも実現可能である点である。

【0010】

【発明が解決しようとする課題】1つ目の課題としてCPUをグレードアップする場合について述べる。従来の技術の項で述べたように、従来はCPUボード全体を交換するのが一般的であった。しかし、このような方法だとCPUボードを新たに設計し直す必要があり、又、事前にCPUボードを交換可能なようにブロック化しコネクタなどで交換可能な構造にしなければいけないという

問題点があった。

【0011】そこでこの問題点を解決するため、前記従来の技術の項でも述べたように、CPUのみを交換することによってグレードアップする方法が一般的になってきた。CPUのみを交換する方法として、外部から供給されるCLK周波数をあらかじめ決まった周波数にディップスイッチ等で変更する方法と、内部CLK周波数を2倍から数倍に上げたCPUに交換する方法が知られていた。

10 【0012】まず、内部CLK周波数をあげる方法であるが、外部CLKの周波数に対応するCPUのみがグレードアップされるCPUとしてその対象となるため、CLK周波数の異なるCPUには対応できずグレードアップの範囲が制限されるという問題点がある。又、CPU内部でCLK周波数を2倍、3倍等のようにあげる方法では、PLL方式などをその技術として用いているため外部からCLK周波数をリアルタイムに変更できない。そのためCPUが殆ど処理を行なっていないときにも多くの消費電流を浪費する事になる。ノートブックパソコンのようにCPUが処理を行っていないときにはCLKを止めたり遅くしたりして電池寿命をのばす機能を持つ情報処理装置でなおかつCPUのアップグレードをする場合、外部からCLK周波数をリアルタイムに切り替えられる機能がないものはその対象外となる。消費電力の点からみてCPU内部でCLK周波数をあげる方法には問題が多い。

20 【0013】次にあらかじめ決まった周波数にディップスイッチ等で変更する方法では、複数のCLK発振器等をあらかじめ基板上に実装する必要があり、当然のことながら対応する周波数の値をあらかじめ知っておく必要があった。そのため、従来の設計では、ユーザーがCPUを有する情報処理装置を購入した場合、CPUの技術が進み高周波数で動作する高機能CPUができた場合でもあらかじめ予想し得ない動作周波数の場合、周波数を上げる手段が無い場合CPUを交換して機能アップを計ることができないという問題があった。ユーザーが前記情報処理装置を購入した時には開発し得なかった高速CPU(当然の事ながらユーザーが購入したときには周波数はわかっていない)が開発された時にCPU交換によりユーザーが自らのシステムをグレードアップできることは資源の有効活用の観点からも重要になってきているが、従来のシステムでは上記環境を備えることはできない。

30 【0014】2つ目の課題としてアプリケーションソフトウェア側から見た課題について述べる。従来の技術の項で述べたように、従来のCPUを有する情報処理装置に於て、外部記憶装置に記憶されているアプリケーションソフトウェアは情報処理装置内のCPUのCLK周波数を制御することができない。

40 【0015】現在のようにCPUの処理能力が向上し、

対応アプリケーションのユーザーインターフェースがユーザーの操作速度に十分対応できる場合、アプリケーションによってはCPUの処理能力が高ければ高いほどよいというわけではない。たとえば、ノートパソコン等に対応するアプリケーションは情報処理能力よりも、電池寿命の長さの方を優先させたい場合がある。従来はその選択方法のある決まった周波数ごとに情報処理装置内に選択できる手段を設け、ユーザーが前記手段を操作することによって行っていた。

【0016】又、ゲーム等のアプリケーションではユーザーの操作速度に合わせ込むため、アプリケーションソフトウェアのマニュアルなどに各情報処理装置に対する最適のCPUのCLK周波数を記載し、ユーザーがCLK周波数を変更していた。しかしながら、これではアプリケーションごとにCLK周波数を操作しなければならず、煩わしさと難しさを伴う。特にMS-Window（登録商標）、OS/2（登録商標）など同時に複数のアプリケーションプログラムを動作させることが可能である場合、各Windowもしくは各プログラムごとにユーザーに対してCLKの変更を強いることになる。

【0017】以上のように、従来はアプリケーション側で各情報処理装置に対応する（各CPUのCLK周波数に対応する）最適のユーザーインターフェースを提供することが難しいという問題点があった。

【0018】本発明は、上記問題点を解決することを目的としており、ユーザーがCPUを有する情報処理装置を購入した場合で、購入した情報処理装置に実装されているCPUよりも処理能力の高い高周波数のCLKで動作するCPUにグレードアップする場合、前記情報処理装置全体を購入する事なく、CPUを交換するだけで前記情報処理装置の機能アップを図ることを可能とするシステムを提供することを目的としている。又、外部記憶装置に記憶されているアプリケーションソフトウェアが各情報処理装置に対応する最適のユーザーインターフェースを構築することができるシステムを提供することも目的としている。

【0019】

【課題を解決するための手段】本発明の情報処理装置は、CPUのクロック周波数を変更可能な情報処理装置において、外部記憶装置により提供されるCPUのクロック周波数に関するデータを、前記情報処理装置の特定の記憶手段に書き込み、該記憶手段のデータを基に対応するクロックを発生し、従来のクロックに置き替えることを特徴とする。

【0020】また、前記情報処理装置上で実行される複数のタスクを管理するオペレーティングシステムと、少なくとも前記複数のタスクに対応したクロック周波数に関するデータを設定する複数の記憶手段と、前記オペレーティングシステムの指示により前記複数の記憶手段の中から1つを選択するセレクトと、前記セレクトにより

選択された記憶手段のデータを基にクロックを発生するクロック発生回路とを有することを特徴とする。

【0021】また、第1のCPUと、前記第1のCPUと異なるCLK周波数で動作する第2のCPUを前記第1のCPUに付加あるいは前記第1のCPUと交換可能な手段を有し、前記第2のCPUのCLK周波数に対応するCLKを出力する手段と、前記第2のCPUに対応するREADY信号を生成する手段とを有することを特徴とする。

【0022】また、前記第2のCPUのCLK周波数に対応するCLKを出力する手段をリセット信号もしくは電源のオン/オフに伴って発生する信号で制御することを特徴とする。

【0023】また、前記第2のCPUのCLK周波数に対応するCLKを出力する手段が、外部記憶装置からの情報を基にCPUに与える第1のCLKを発生する周波数シンセサイザを有し、又、前記周波数シンセサイザとは別の第2のCLKを発生するCLK発生手段を更に有し、前記CPUのCLKを切り替える際に前記第1のCLKと前記第2のCLKを切り替える手段を有することを特徴とする。

【0024】また、前記第2のCPUを前記第1のCPUに付加あるいは前記第1のCPUと交換したことを示す検出信号と、前記検出信号によりあらかじめ決められている任意の周波数にクロック周波数を初期設定する手段を有することを特徴とする。

【0025】また、前記情報処理装置の前記オペレーティングシステムは、現在実行中のタスクのクロック周波数に優先して前記オペレーティングシステム全体のクロック周波数選択する為の手段を有することを特徴とする。

【0026】

【作用】本発明の構成によれば、情報処理装置に当初実装されていたCPUを、高性能のCPUに交換する際、外部記憶装置の情報を基に高性能のCPUに対応するCLK及びREADY信号を生成し、装置の暴走を防止しつつCLKを切り替えることができる。また、CPUを交換しないまでも外部記憶装置のアプリケーションプログラムによりCPUのCLKを変更することができ、ユーザーの能力に適合した操作環境を提供することができる。

【0027】

【実施例】以下、本発明について実施例に基づいて詳細に説明する。

【0028】図1は本発明の情報処理装置のブロック図である。前記情報処理装置はCPU部301、メモリ・CPUコントロール部302、CLK制御部303、LCD305及びCRT306を制御するVIDEO回路部304、キーボード307を制御するキーボードコントロール部308、FDD309やICカード310、

HDD 313等の外部記憶装置などを制御するI/Oコントロール回路部311、前記情報処理装置の外部に別の機器等を接続するための拡張バス部312を有する。まず簡単に本発明の機能全体を説明し、その後に各機能ブロックごとに詳細説明をする。

【0029】図2にユーザーが前記情報処理装置内のCPU（ここではCLK周波数16MHzとする）を機能アップしたCPU（ここではCLK周波数20MHzとする）に交換してから、前記CPUのCLK周波数に合わせてCLK周波数を設定するまでのフローチャートを示す。又、フローチャートの左隣に各ステップによってCLK周波数がどの様に変化するかわかるようにCLK周波数変化表を示した。

【0030】ユーザーは、まずCPUを交換することができる構造を持った情報処理装置の裏蓋などをあけて、図4bに示したようなCPU SOCKET 501から最大CLK周波数16MHzのCPUをとりだし、最大CLK周波数20MHzのCPUに入れ替える。

【0031】この際、図1のCLK制御部303から出力されるCLK10の周波数は、図1のCPU部301にユーザーが前記情報処理装置を購入したときに最初に内蔵されていたCPUの最大CLK周波数に初期設定される機能を持つ必要がある（たとえば、16MHz→20MHz→25MHzと機能アップする場合16MHzに初期設定する）。これは、例えば図1のCLK10の周波数が20MHzに設定されていて16MHzのCPUが前記情報処理装置にセットされた場合、最初から暴走するためである。（ステップ401）

次に、購入した20MHzのCPUに添付されたフロッピーディスクを前記情報処理装置のFDD（図1の309に相当する）に挿入する。本フロッピーディスクには、図1のCLK制御部303にCLK周波数に相当する（この場合20MHz）値を書き込む命令を実行するソフトウェアが記憶されている。図1のCPU CLK制御部の詳細な例を図10に示した。（ステップ402）

ユーザーは前記情報処理装置の電源をONしFDDからブートを行う。（ステップ403）

添付フロッピーディスク内に記憶された、前記情報処理装置内CPUのCLK周波数20MHzに相当する値を図1のCLK制御部303に書き込む命令が自動的に実行される。

【0032】図3にCLK周波数を変更するプログラムの簡単なフローチャートを示す。

【0033】最初に現在のCLK周波数を知るために、CLK周波数の値が記憶されているレジスタである0C12（H）をREADする。（プログラムステップ410）

次に現在のCLK周波数（本例では16MHz）と変更後のCLK周波数（本例では25MHz）を画面に表示

しユーザーにCLK変更をするかどうかのメッセージを出力する。（プログラムステップ411）

NOであれば、変更しないというメッセージを画面に表示し（プログラムステップ412）、YESであれば、変更するCLK周波数の値を0C12（H）に書き込む。（プログラムステップ413）

次に、CLK周波数が変更されたというメッセージを画面に表示し、リポートするためにキーボードを叩くよう指示するメッセージを出力する。（プログラムステップ414）

キーボード入力を受けて、リポート用のRESET PORTである0F0（H）に対しアクセスすることでリポートを行いプログラムステップ413で書き込まれた値にしたがってCLK周波数を25MHzに変更する。（プログラムステップ415）

このように、プログラムステップ413に示した命令でCLK周波数をすぐに変化させずリポートをするのは、図23及び図10に示したようなPLL方式の周波数シンセサイザ回路によりCLK周波数を設定する場合、すぐにCLKを切り替えると、波形が変動しCPUが暴走する可能性があるからである。当然のことながら図1のメモリ・CPUコントロール部302は、CLK周波数が変化しても誤動作しないような機能を持つことが必要である。これは後で述べるレディー信号制御等で実現可能である。

【0034】（ステップ 404、405）

再立ち上げ後、CLK周波数設定のための添付フロッピーディスクを抜いて通常のアプリケーションディスクを挿入することによりアプリケーションを実行する。ハードディスクからブートしたい時は添付フロッピーディスクを抜くだけでよい。（ステップ 406、407）

上記ステップとは別に、図15に示すような回路構成例により、図2のステップ405を抜かしてステップ404からステップ406に移行することも可能である。図15に示した回路機能については以降に説明する。（ステップ407）

以上述べたように、ユーザーがCPUを有する情報処理装置を購入した場合で、購入した情報処理装置に実装されているCPUよりも処理能力の高い高周波数のCLKで動作するCPUにグレードアップする場合、図1のブロック図に示すような情報処理装置で図2に示したフローチャートに従ってCPUを交換することにより、前記情報処理装置全体を購入する事なく機能アップを図ることが可能になる。更に上記例で述べた各機能即ち、フロッピーディスク、ICカード、ハードディスクなどに記憶された情報もしくは、プログラムによってCPUのCLK周波数を変更する機能、前記CLK周波数の切り替えを、RESET信号等で切り替える機能、READY信号制御等によりCLK周波数が変動しても前記情報処理装置を正常に動作させる機能、CPUが交換されたこ

とを示す信号によりユーザーが前記情報処理装置を購入したときに最初に内蔵されていたCPUの最大CLK周波数に初期設定される機能が、情報処理装置全体を購入する事なく機能アップを図るために必要であることがわかる。

【0035】続いて、各機能ブロックごとの詳細説明をする。

【0036】まず、図1のCPU部301であるが、図4a、bに示すような形態で通常基板上に実装される。図4aの形態では、CPU502は基板上にソケットを介さずに直接実装されている。そして機能アップされたCPU504を後から実装するためのUPGRADE SOCKET503も同時に実装されている。本発明の情報処理装置は、前記情報処理装置を購入したユーザーが前記情報処理装置の機能UPをCPUを交換することによって行なうことができるように、あらかじめ蓋を開けて簡単にUPGRADE SOCKET503にCPUを挿す事ができる構造になっている。

【0037】図5に図4aに対応する回路を示す。図5のCPU502の信号と、UPGRADE SOCKET503の信号は数本の信号を除いて相互に接続されている。CPU504がUPGRADE SOCKET503に実装されていると、CPU504内部でCPU504のGND端子に接続されている信号であるCHG信号601がGNDに接続されるのでプルアップ抵抗606によって“H”であった信号が“L”になる。(波形を図6 601に示す)この変化を受けてCPU502は出力信号(図6 702)をハイインピーダンス状態にする。以上の動作によりCPUバス信号604には、CPU504からの出力信号がCPU502からの信号に代わり有効となる。

【0038】又、本CHG信号の変化を受けて発生する、CLK10の周波数を初期設定する信号CLR701によって、図1のCLK制御部303は前記情報処理装置に対応するCLK周波数のうちあらかじめ決められた任意の周波数に初期設定される。(初期設定される周波数は、再立ち上げ動作のパフォーマンスに影響を及ぼさないよう決定されるのが普通である。)

ところで、消費電力を減らすため図5のCHG信号601によってCPU502を待機モードにする方法が一般的であるが、CPU504のみにCLKを供給し、CPU502のCLK信号をカットする又はLレベルに固定する等の回路構成をとることもできる。回路例を図9に示す。CHG信号601によって発振器1000、1001の電源供給を選択することによりCPUを2つ持っても消費電力をCPU1つ分に低減することができる。又、CPU504が実装された時CPU502に供給するCLK信号1003を発生する発振器1000の電源を切らなくても、CLK信号1003をLレベルに固定するだけでもCPU504の内部回路が動作しないので

消費電流を下げるができる。

【0039】次に、図4bの形態も、一般的に使用される形態である。この場合も図5のCPU502が存在しないとすれば図4aと同じであり、CPUの交換をCHG信号601で知ることができる。

【0040】CPUの交換を知る方法としては、図7の構成及び、図8に示す回路方式をとることにより知ることもできる。図7のようにCPUソケットの中に光を受けることで起電力を生ずるフォトダイオード81を実装する。図8において、フォトダイオード81はCPUを交換する時に光を受けて起電力を生ずる。その結果トランジスタ91はオンし、CPUを交換したことを示す信号であるCHG CPU92は、“H”から“L”に変化する。本CHG CPU信号92は、前記CHG信号601に相当し、本信号によって発生されるCLR701によって、図1のCLK制御部303は前記情報処理装置に対応されるべきCLK周波数のうちあらかじめ決められた任意の周波数に初期設定される。

【0041】詳細説明の第2として図1のCLK制御部303の説明を行う。ユーザーが情報処理装置を購入し内部のCPUを交換してそのCLKを変更する代表例として、図10及び図15を示す。

【0042】図10は、図23と同様に外部からあるデータを周波数シンセサイザに与えることにより周波数シンセサイザの出力周波数を変更する方式を示すものである。外部からデータを与える方法として、フロッピーディスク、ICカード、ハードディスク等の外部記憶装置を用いる方法と、あらかじめセットアップメニューなどでCLK周波数をユーザーが可変できるようにする方法がある。ここで、ユーザーが可変できるようにメニューなどで、1~150MHz等に設定することができる場合、不用意に設定されやすくCPUが暴走しフロッピーディスクなどに記憶された情報が破壊される可能性がある。

【0043】そこで、安全の為に容易にセットアップメニューなどで設定されないように外部記憶装置を通してセットアッププログラムを供給するのがよい。前記プログラムに、FLASH ROM化されたBIOS ROM(図1 BIOSROM314等)をCLK周波数に合わせて書き替えるプログラムなどを合わせ持てばCPU交換による柔軟な環境も同時に提供できる。

【0044】以下、図10から図14を用いて説明する。対応するCPUのCLK周波数に対するデータ(数個のレジスタで構成される細かい設定データの事)がI/O命令0C00(H)~0C08(H)のI/O WRITE命令であるLAT信号1100としてデータラッチ回路1101にラッチされデータ1102としてコード発生回路1103に出力される。コード発生回路1103(細かい設定データから対応するCLK周波数に相当するコードを生成する)は、図11に示すようなPW

SWのオン/オフ時に変化するLOAD信号1104などでラッチされ対応コード1105としてコード変換回路1106に出力される。ここで注意するのは、データラッチ回路1101の電源は電池等で常にバックアップされていることである。(バックアップ電源をVBK1107として示す)それは、LAT信号1101によって与えられたCLK周波数に相当する設定を電源OFF時にも保持するため、CPU交換時にデータを初期化する為である。CPUの交換時には、図5のCHG信号601を図12のトランジスタ1120で受けて信号CHGB1121が出力される。図13に示すようにその信号CHGB1121の変化を受けて”L”パルスであるCLR701がデータラッチ回路1101に入力され、CPUが暴走しないような初期データにリセットされる。

【0045】さて、対応コード1105はコード変換回路部1106でCLKに対応するカウンタデータ1109に変換されPROGRAMMABLE DIVIDER部1110に入力される。その結果CLK10の周波数は変更される。

【0046】上記の例では、ユーザーがフロッピーディスクなどに記憶された情報によりCLK周波数を変更した後、図11に示すように一旦PWSWをオン/オフする事によってCLK周波数を変更しなければならない。

(LOAD信号1104を発生させる為)そこで、別の例としてリセットボタンを押すことでLOAD信号1104を発生させ、CLK周波数を変更する例を図14に示す。RESETボタンによって発生する信号1123によってRESET信号1122が発生する。又、信号1123によってLOAD信号1104も発生し新しいCLK周波数に相当するデータが図10のコード発生回路1103に与えられCLK10の周波数が変更される。

【0047】本体RESET信号1122を周波数シンセサイザ回路1108がロックするのに十分な期間1124に設定することで、ユーザーは、CPUを交換してCLK周波数を変更後に再度電源を切らずともRESETボタンを押すことで新しい周波数に設定し直すことが可能になる。

【0048】図15は、図10に示した周波数シンセサイザ1108によるCLK周波数発生回路の応用例として示した。本回路例の構成にすれば、ユーザーがフロッピーディスクなどに記憶された情報によりCLK周波数を変更した後、電源オン/オフ、RESET信号などの前記情報処理装置の初期設定処理を行うことなく、図2のステップ407のように処理を進めることができる。そこで図15の回路と、その各信号波形を示した図16とを用いて、CPU交換後CLK10を25MHzから50MHzに変更する機能説明を行う。図16CLK10はCLK周波数を切り替える前には25MHzのCL

Kを出力している。図2ステップ404に相当する動作により図15コントロール回路1402は図16の1507のタイミングで、周波数選択信号1403を”L”から”H”にする。信号1503によってCLK10は、周波数シンセサイザ回路出力1404から発振器出力16MHz1405に図15セクタ1406で切り替えられる。

【0049】その後、周波数シンセサイザに50MHzに対応するデータ1501がデータラッチ信号1407によってラッチされて、周波数シンセサイザは25MHzから50MHzに周波数を変動する。周波数選択信号1403が”H”の期間1502は周波数シンセサイザ回路内のPLL回路が設定された新しい周波数にロックするまでの期間に相当する。周波数シンセサイザが安定したタイミング1508時に、再度周波数選択信号1403によってCLK10は発振器出力1405から周波数シンセサイザ回路出力1404に切り替えられ、50MHzとなる。

【0050】図15のCLK10は、図16の信号1404のように変動するが、これをそのままCPUに入力するとメモリアクセス時などにタイミングが合わなくなり誤動作する可能性がある。そこで、図15のCLK切り替え回路1409を通すことにより、定期的なメモリのリフレッシュ時などを示すバス・ホールド信号1410によって、システム動作に影響を与えないタイミングでCLK1401を切り替えCLK10としてCPU11に供給する。

【0051】詳細説明の第3として図1のメモリ・CPUコントロール部302の説明を行う。CPUを交換してもシステム全体は機能的に正常動作しなければならない。メモリ・CPUコントロール部302の代表的な波形を図17に示す。CPUの周波数が上がるにつれてCLKのパルス幅1700は短くなっていく。

【0052】その結果、DRAMのRASのパルス幅1703、CASのパルス幅1702などDRAMの規格を満たさなくなる。そこで本発明は、図10のカウンタデータ1109や、図15の1403などの周波数選択信号(データ)を受けてCPUに対しウェイトを命令するREADY信号を制御する回路をメモリ・CPUコントロール部に設ける事を特徴としている。

【0053】メモリの規格限界と互換性保持の為のIOサイクル時間調整を各CLK周波数に対して細かく制御することで情報処理装置のCPU交換時における正常動作を保証できる。尚、READYを制御してウェイトをかけるのは周知の事実だが、本発明の情報処理装置はそのREADY発生回路をグレードアップされたCPUのCLK周波数に対応して切り替えるところに新規性がある。本回路では一見、CLK周波数が上がっても周辺回路の動作周波数が変わらないので(意図的にそのような回路としている)パフォーマンスが変わらないように見

える。しかしそれは、CPUにCACHEを内蔵することで周辺回路に依存せずCPU自体のパフォーマンスの向上を図ることによって解決できる。本回路はCLK同期方式のDRAMを用いても同様に必要である。それはランダムアクセス時及びIOサイクル時には必ずREADYを制御する必要があるためである。

【0054】実施例として回路ブロック図を図18に示す。図18aは従来の回路例、図18bは本願の回路例である。又対応する波形を第19図に示した。

【0055】従来は、READYの発生回路はCLKを10 カウントして作成されていた。図19において、CPUからADS1704が出力されると図1メモリ・CPUコントロール部302は本例ではIOR命令であると判断し一定のコマンドディレイ1806の後IORパルス1800を出力する。前記IORパルスを受けてカウンタ、シフトレジスタで構成される回路1805を通して一定のディレイ1802の後READY1701が出力される。それと共にコマンド1800も立ち上がる。

【0056】CPUの周波数がフレキシブルに変更されると、あらかじめCLKに同期した回路構成を取ることはできない。そこで、コマンドディレイ1806、ディレイ1802をCPUからのADS/ステータス信号1704から、基準CLK1807（CPUの周波数が変更になっても変わらない基準CLK）を用い、カウンタ・シフトレジスタで構成される複合回路1808を通して生成する。実際には、いくつかの信号で構成される1809をCLK10で同期することによってコマンド信号1800、READY信号1701を出力する。各ディレイは基準クロックでなくディレイライン等で作成されてもよい。従来の回路構成図18aよりも複雑になるが、それに対してCPUを交換できる機能がつくわけであり、本回路構成は従来よりも柔軟性がある回路構成であるといえる。

【0057】以上CPU交換時のCLK周波数の変更のみに重点をおいて説明してきたが、CLK周波数変更と同時に、信号線の入れ替え、電圧の変更などを同時に行なうことによってより広範囲のCPUに対応する事ができる。まず信号線の入れ替えであるが、たとえば交換の対象となるCPUの信号線が33MHzの周波数を境に数本変更されているとする。そこで33MHz以上のCLK周波数の場合にCPUソケットの信号線を入れ替える機能をあらかじめ用意することにより33MHz以上の異なった信号線をもつCPUにも対応できる。次に電圧変更であるが、図4bのようにソケットが1つの場合CLK周波数とともに電圧を変更する事も可能である。第1の例として消費電力低減を目的とするシステムが考えられる。たとえば3.3Vという低電圧で動作するCPUが25MHz以下で用意されていて、33MHz以上だとCPUおよび周辺のコントロールICが3.3Vだと遅延時間が多すぎて動作不可能なので5Vに電圧を

上げなければならないという場合がある。ここであらかじめ33MHzという周波数を境に電圧を変更する機能を用意しておけば25MHz以下の周波数では低消費電力を実現でき電池寿命を長くすると共に熱の発生を抑えることが出来る。そして33MHz以上のCLK周波数の場合は5Vに電圧を上げるにより高機能にシステムをアップする事ができる。第2の例として、上記例とは逆にデバイスのデザインルールが進むとCLK周波数が上がると3.3Vしか対応できなくなっていく場合がある。たとえば33MHzまでは5Vで動作可能であったCPUが、100MHz以上だと3.3Vにしなければ動作しない場合である。この場合100MHzのCLK周波数で電圧を切り替える機能をあらかじめ有することによりより広範囲のCLK周波数に対応できる。

【0058】以上のように信号線の入れ替え、電圧の変更などをCLK周波数を切り替えるのと同時に進行することによってより広範囲のCPUに対応する事ができることがわかる。

【0059】本発明の別の実施例を以下に示す。

【0060】CPUを交換しないまでも、フロッピーディスク、ICカード、ハードディスクなどに記憶された情報もしくは、プログラムによってCPUのCLK周波数を変更する機能を持つことで、フロッピーディスク、ICカードなどに記憶されているアプリケーションソフトウェアが各情報処理装置に対応する最適のユーザーインターフェイスを構築するのはメリットが大きい。

【0061】本観点からみた、実施例もいままで述べてきた図1の情報処理装置のブロック図とまったく同一である。ただし言うまでもなく、図4a、bに示したようなCPUを交換できる機能は必ずしも必要ではない。ここで注意すべきなのは、アプリケーション側から周波数を変えることのできる機能と併用して、情報処理装置内にも別にCLK周波数選択手段が必要なことである。それは、本機能に対応したアプリケーション以外のアプリケーションにも対応しなければならないためである。

【0062】図20にブロック図を示す。ユーザーが設定するデータに対応してCLKを出力する回路1600は、必ずしも周波数シンセサイザでなくてもよい。

【0063】図20を簡単に説明する。フロッピーディスクに記憶されたアプリケーション・プログラムはメインメモリにロードされ、CLK周波数の設定データをポート0C12HにIOW命令1601を発行することでラッチ回路部1602にラッチする。又、情報処理装置の出荷時やCPU交換時に、対応するCPUのCLK周波数の設定データをポート0C13HにIOW命令1604を発行することでラッチ回路部1603にラッチする。

【0064】上記両データは、前記情報処理装置の設定メニューをユーザーが操作することなどによって発生するCLK選択信号1605によって選択され、CLK発

生回路1600に入力される。CLK発生回路1600はCPU11に供給する最大周波数に対応するCLK1607を出力する。

【0065】CLK選択回路1608では、CPUに供給する最大CLK周波数1607と、低消費電力などを実現するための比較的周波数の低いCLK（発振器1610から作られるCLKとCLK1607を分周してつくられるものがある）をCLK選択信号1609でセレクトしてCLK10としてCPU11に対し出力する。

【0066】上記構成にすると、MS-Windows 10（以下Windows）やOS/2などのようなマルチウィンドウで複数のアプリケーションを同時に走らせるものに於て、各々のウィンドウ内で対応するアプリケーションに一番最適なCLKが自動的に選択されるのでユーザーに対しCLK周波数を意識することなく最適なユーザーインターフェイスを提供することができる。

【0067】図21にWindowsにおける例を示す。本例では3つのアプリケーションプログラムが各ウィンドウで動作している例を示した。現在、マウスカーソル1901がアプリケーションプログラムNO. 2 1902の上にある。この場合、アプリケーションプログラムNO. 2 1902はWindowsのあるタスク（仮にタスクNO. 2とする）の環境設定ファイル（仮に環境設定ファイルNO. 2とする）の作り出した環境上で動作している。アプリケーションプログラムNO. 2 1902は自らのブート時に環境設定ファイルNO. 2に、動作に適したCLK周波数を書き込んでおり、WindowsはタスクNO. 2が選択されたことを認識すると、環境設定ファイルNO. 2よりCLK周波数を読み込み、CLK周波数に対応したデータをラッチ回路部1602にラッチし、CLK選択信号1605、1609より、アプリケーションプログラムNO. 2 1902に対応したCLK周波数に変更する。環境設定ファイルNO. 2にCLK周波数変更の為のメニュー画面等を用意し、ユーザーが自らCLK周波数を設定することもむろん可能である。次にマウスカーソル1901がアプリケーションプログラムNO. 3 1903上に移ったときには、同様にWindowsがアプリケーションプログラムNO. 3に対応したCLK周波数に再変更するという具合である。また現在のCLK周波数はCLK表示窓1905により常にモニターすることができる。

【0068】また、各タスクの環境設定ファイルに優先してWindows全体の環境を設定するファイル（仮に環境設定ファイルNO. 0とする）をWindowsに持たせ、環境設定ファイルNO. 0のCLK周波数をWindows画面上のアイコン1904を通して操作できるようにする。マウスカーソル1901を10MHz動作を指定するアイコン1904に持っていきクリックすることで、CLK周波数を10MHzに固定するこ

とも可能である。

【0069】従来は、全てのアプリケーションを高速に動かす手段しか持ち合わせていなかった為、必要な最低限の消費電流で前記情報処理装置を動作させるという機能や、ゲームプログラムのようにユーザーの操作速度にあった速度に保つという機能がなかった。

【0070】本発明は、アプリケーションソフトウェアが提供する環境よりも本体処理能力のほうがはるかに高くなってきた時のために必要な技術を提供するものであり、従来の考え方とは根本的に観点が異なるものである。

【0071】ところで、今まではCLK周波数に切り替えるのみに注目して説明してきたがこの技術と他の技術を組み合わせて使用できるのは言うまでもない。例として2つあげる。1つ目はCLK周波数切り替えと、CPU内部に内蔵された、またはCPUとは別に存在するCACHEメモリの有効無効を指定する事である。CACHEメモリの存在によってパフォーマンスが異なる場合があるので機種依存しない環境を整えるためにはCLK周波数変更と同時にCACHEメモリの有効無効を指定しなければならない場合がある。2つ目は、CPUのバスホールド信号の時間を調整することである。グレードアップされるCPUによってはCLK周波数をリアルタイムに変更できないものもある。それは内部にPLLなどを持っているCPUである。このようなCPUではリフレッシュ信号など定期的に発生するバスホールド信号の時間を調整して相対的にパフォーマンスを落としている。そのためグレードアップされるCPUによってCLK周波数を切り替える方法とバスホールド信号の時間を変更する方法とを切り替える。

【0072】

【発明の効果】以上述べたように本発明の情報処理装置は、CPUのクロック周波数を変更可能な情報処理装置において、外部記憶装置により提供されるCPUのクロック周波数に関するデータを、前記情報処理装置の特定の記憶手段に書き込み、該記憶手段のデータを基に対応するクロックを発生し従来のクロックに置き替えるので、外部記憶装置のプログラムによって簡単に前記情報処理装置のCLKを変更することができる。よってアプリケーションプログラム等が前記情報処理装置の性能を考慮して最適の操作速度となるようにCPUのCLKを設定することが可能となる。

【0073】また前記情報処理装置上で実行される複数のタスクを管理するオペレーティングシステムと、少なくとも前記複数のタスクに対応したCLK周波数に関するデータを設定する複数の記憶手段と、前記オペレーティングシステムの指示により前記複数の記憶手段の中から1つを選択するセレクトと、前記セレクトにより選択された記憶手段のデータを基にCLKを発生するCLK発生回路とを有するので、例えばWindowsのよう

なマルチウィンドウシステム上で複数のアプリケーションプログラムを実行させた場合、各アプリケーションプログラム毎にCLKを設定し、アプリケーションプログラムを切り替える度に自動的にCLKを切り替えることができる。

【0074】また外部記憶装置のデータによりCPUのCLKを変更する際、READY信号を生成する手段、CLKの出力をリセット信号もしくは電源のオン/オフに伴って発生する信号で制御する手段、更に外部記憶装置のデータにより周波数シンセサイザで生成されたCLKとは別の第2のCLKを生成し前記2つのCLKを切り替える手段等を有するので、前記情報処理装置を暴走させることなくCLKを切り替えることができる。

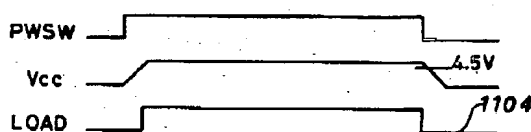
【0075】またCPUを付加あるいは交換したことを示す検出信号により、あらかじめ決められている任意の周波数にCLKを初期設定する機能も有するので、CPUを付加あるいは交換した後リセット等のみで自動的にCLKを変更することができる。

【0076】また前記情報処理装置のオペレーティングシステムは、現在実行中のタスクのCLK周波数に優先して前記オペレーティングシステム全体のCLK周波数を選択する為の手段を有するので、例えばWindows上で各アプリケーションプログラム毎にCLKを設定してあっても、それに優先してWindows全体のCLKを固定することができる。

【図面の簡単な説明】

- 【図1】 本発明の情報処理装置のブロック図。
 【図2】 本発明の情報処理装置の動作を示すフローチャート。
 【図3】 CLK周波数を変更するプログラムのフローチャート。
 【図4】 CPU部の実装形態図。
 【図5】 CPU部の回路ブロック図。
 【図6】 CPU部の動作タイミング図。
 【図7】 フォトダイオードの実装図。
 【図8】 CPUが交換されたことを検出する為の回路図。
 【図9】 CLK選択回路のブロック図。
 【図10】 CLK切り替え回路のブロック図。

【図11】

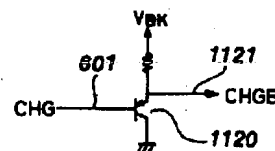


- 【図11】 CLK切り替え回路の動作タイミング図。
 【図12】 CPUが交換されたことを検出する為の回路図。
 【図13】 CPU交換時のCLRパルス発生タイミング図。
 【図14】 RESET時のCLK切り替え回路の動作タイミング図。
 【図15】 CLK切り替え回路のブロック図。
 【図16】 CLK切り替え回路の動作タイミング図。
 【図17】 メモリ・CPUコントロール部の動作タイミング図。
 【図18】 READY信号生成回路のブロック図。
 【図19】 READY信号生成回路の動作タイミング図。
 【図20】 CLK切り替え回路のブロック図。
 【図21】 本発明の情報処理装置のWINDOWSにおける表示例を示す図。
 【図22】 従来のCLK供給回路のブロック図。
 【図23】 従来のPLLを用いたCLK供給回路のブロック図。
 【図24】 従来のCLK周波数切り替え回路例を示す図。

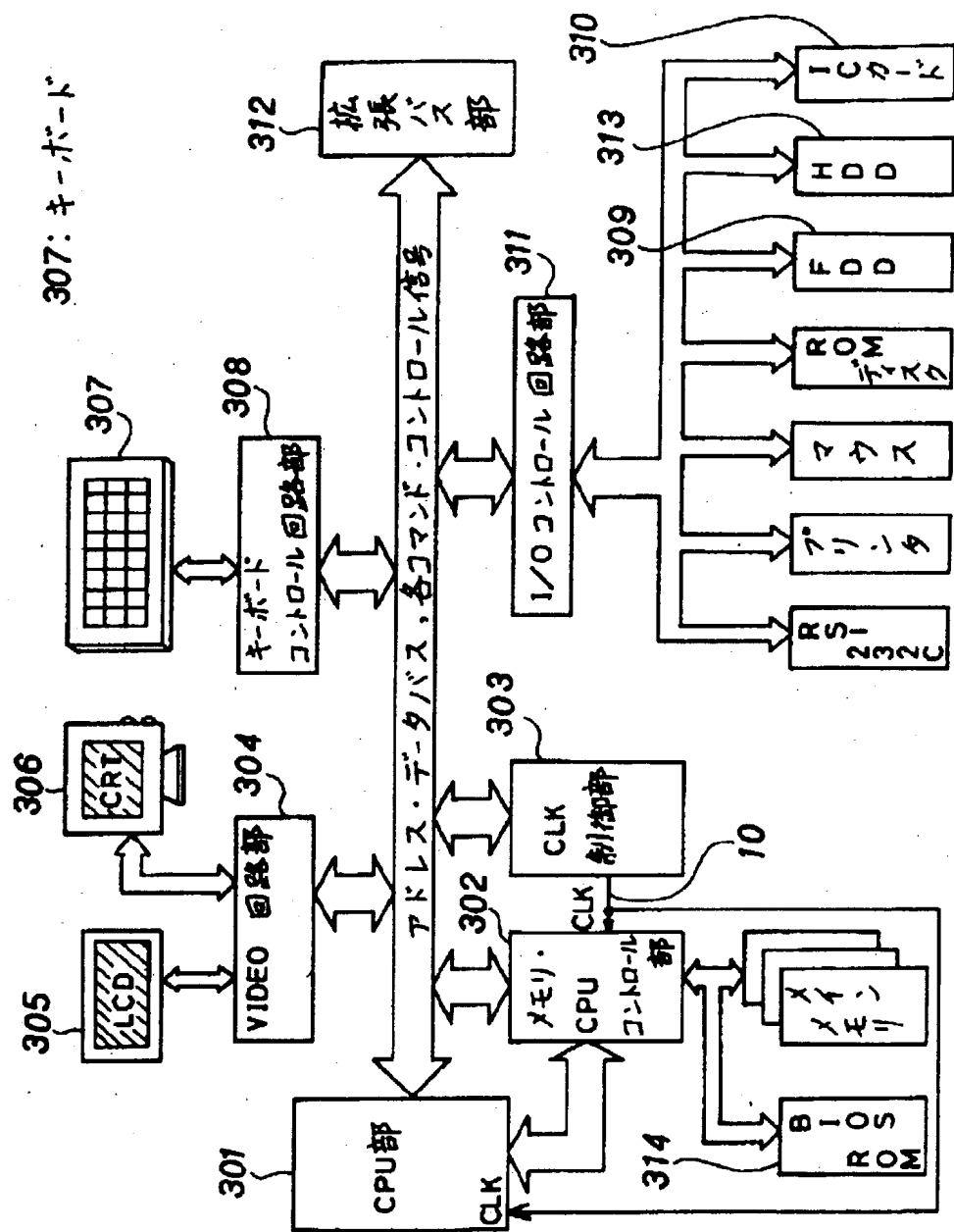
【符号の説明】

- 10・・・CLK
 301・・・CPU部
 302・・・メモリ・CPUコントロール部
 303・・・CLK制御部
 304・・・VIDEO回路部
 305・・・LCD
 306・・・CRT
 307・・・キーボード
 308・・・キーボードコントロール回路部
 309・・・FDD
 310・・・ICカード
 311・・・I/Oコントロール回路部
 312・・・拡張バス部
 313・・・HDD
 314・・・BIOSROM

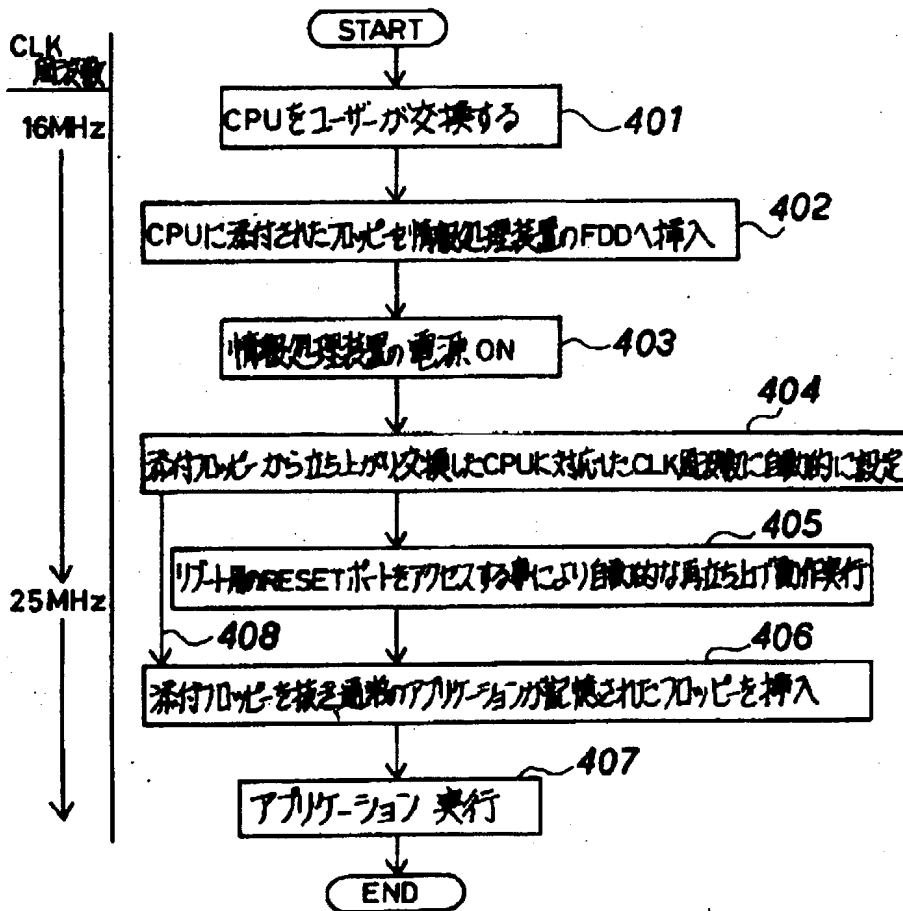
【図12】



307: キーボード

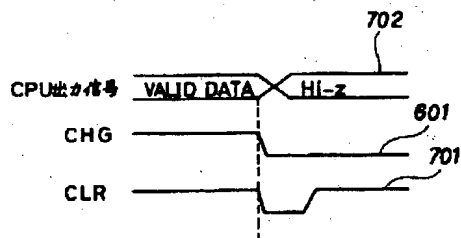


【図2】

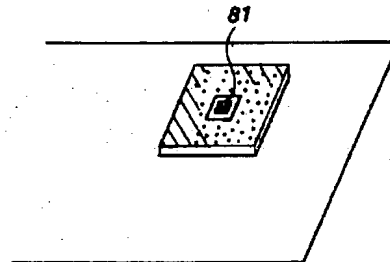


【図6】

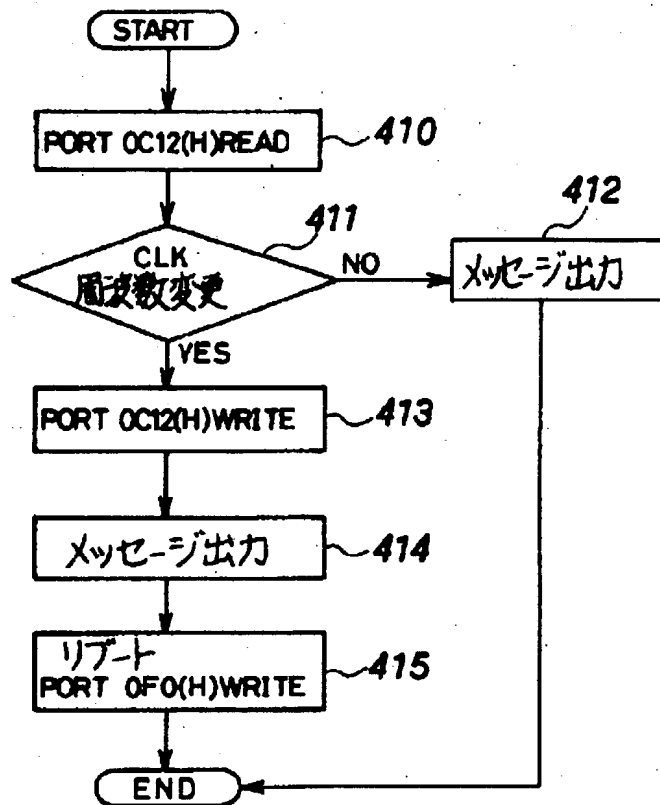
【図7】



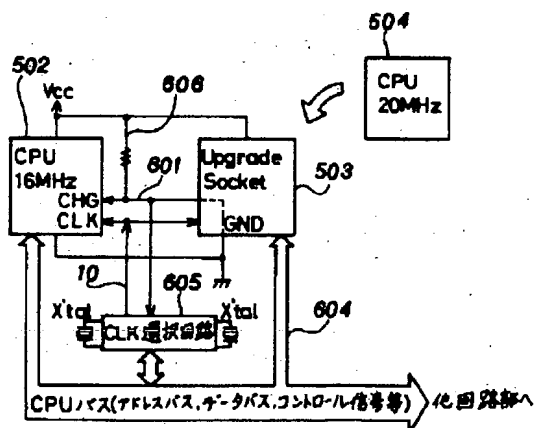
81: フォトダイオード



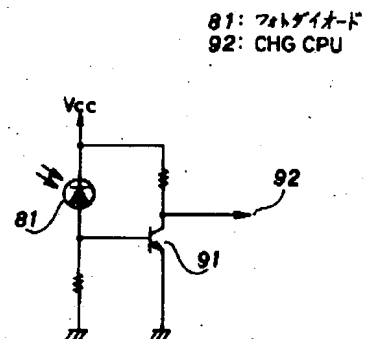
【図3】



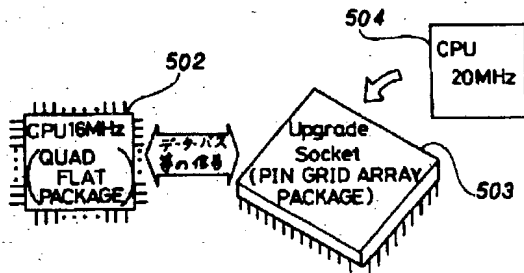
【図5】



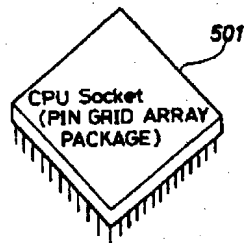
【図8】



【図4】

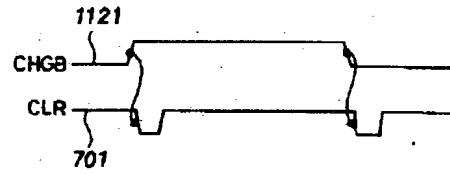


(a)

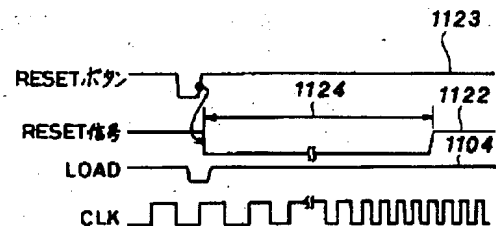


(b)

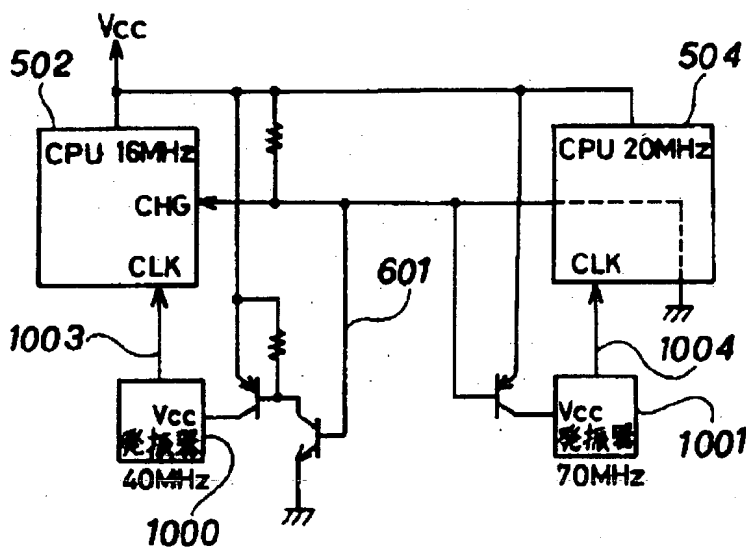
【図13】



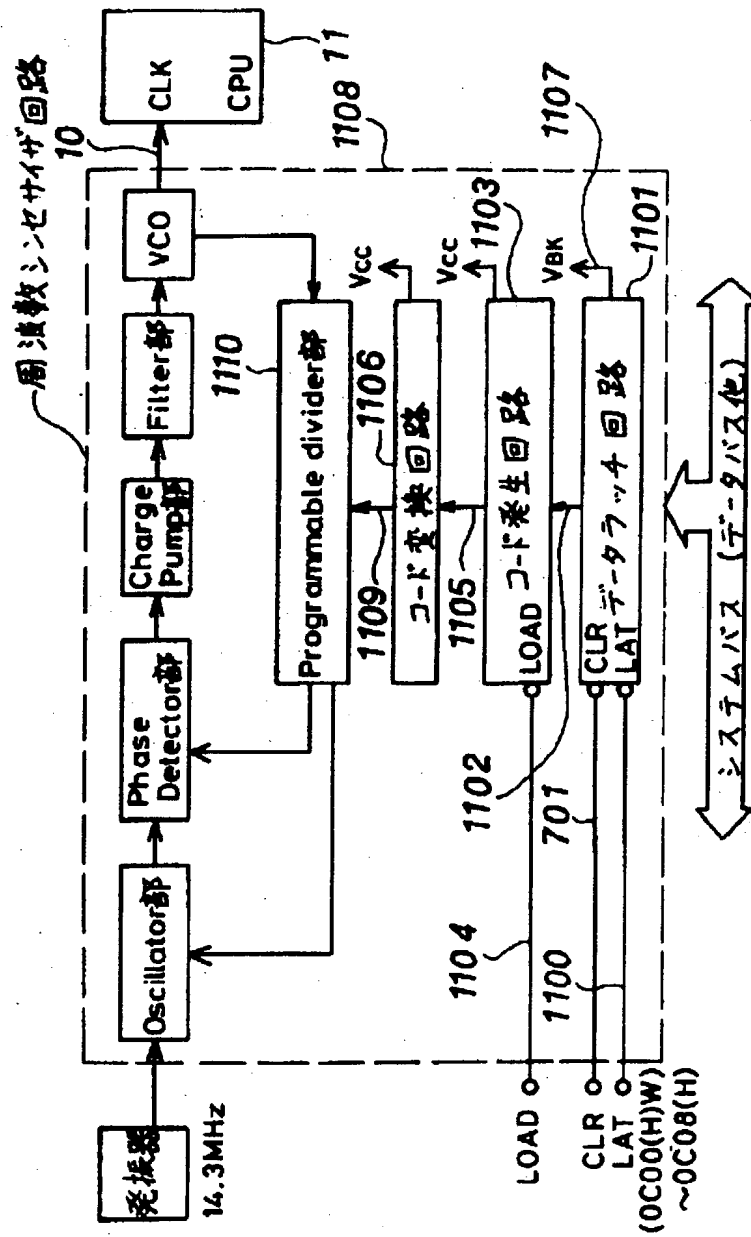
【図14】



【図9】

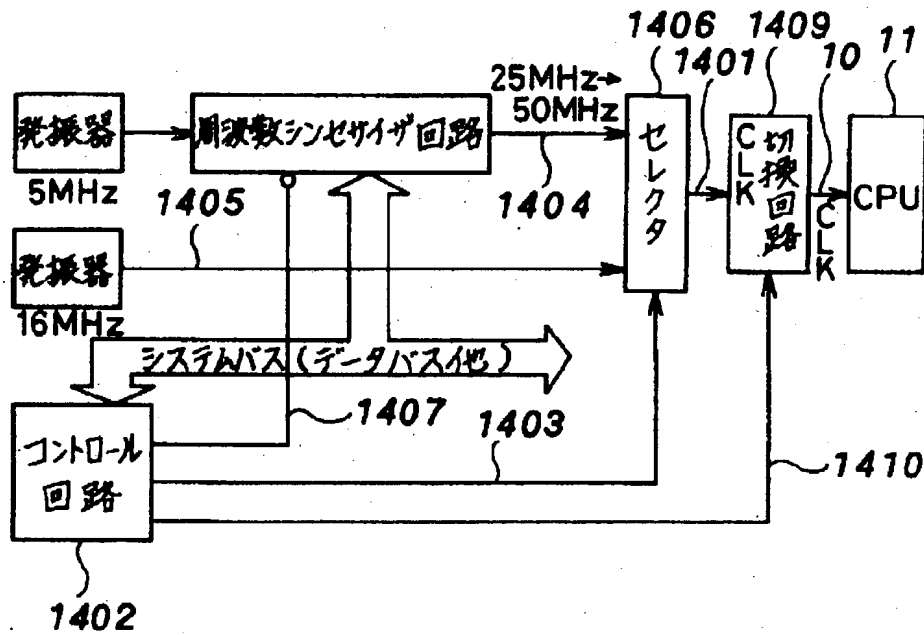


【図10】



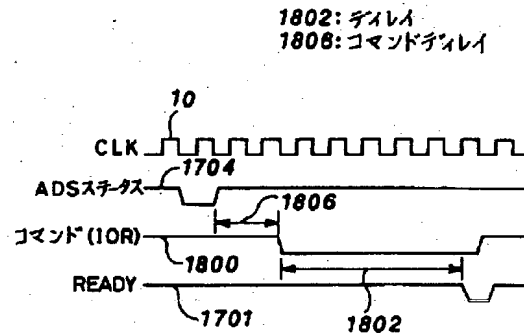
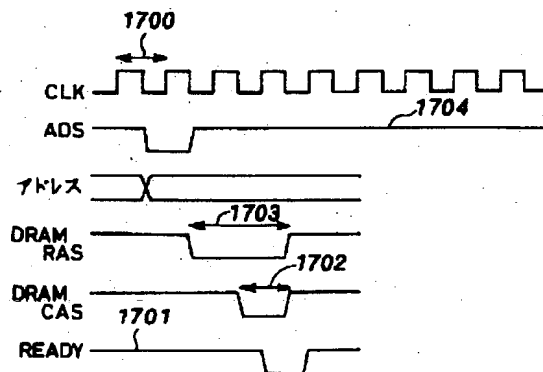
【図15】

1403: 周波数選択信号
 1407: データラッチ信号
 1410: バス・ホールド信号

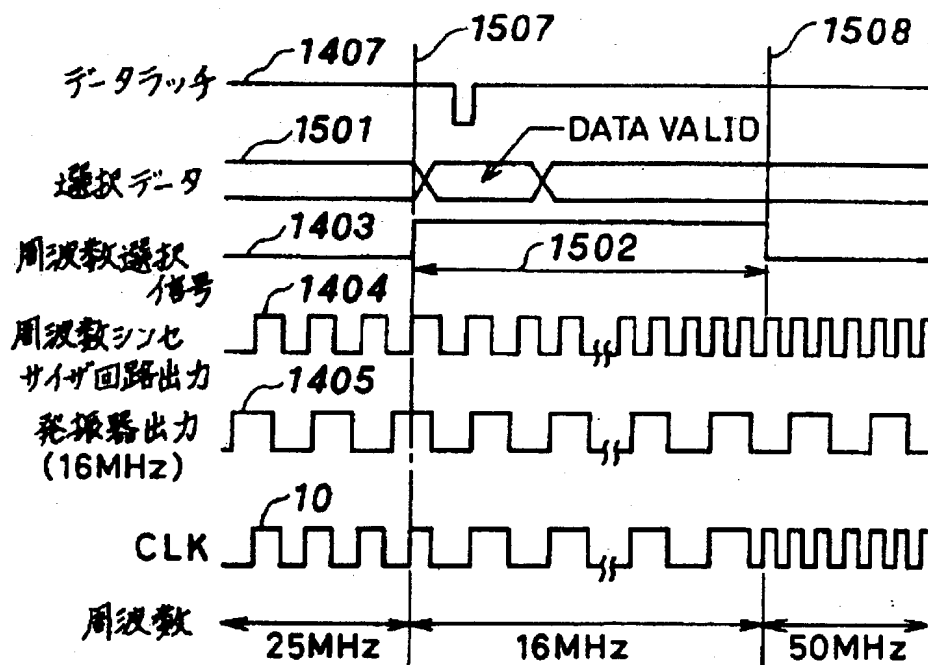


【図17】

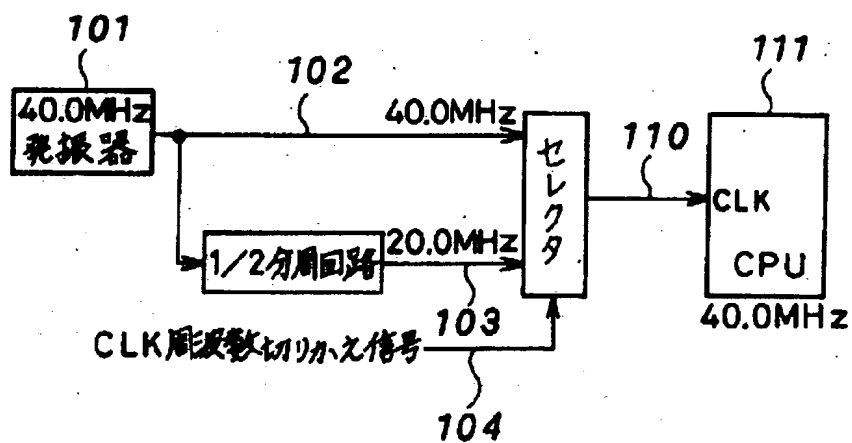
【図19】



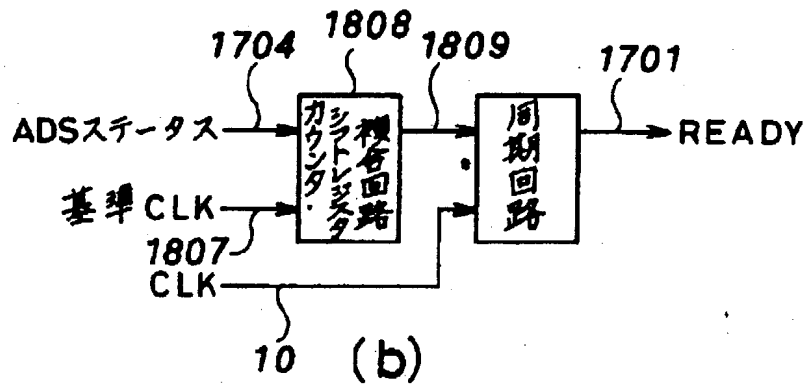
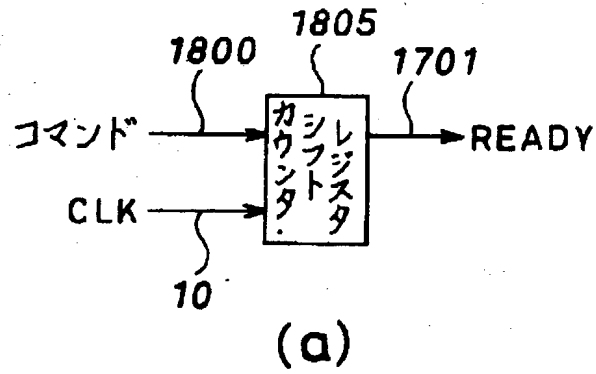
【図16】



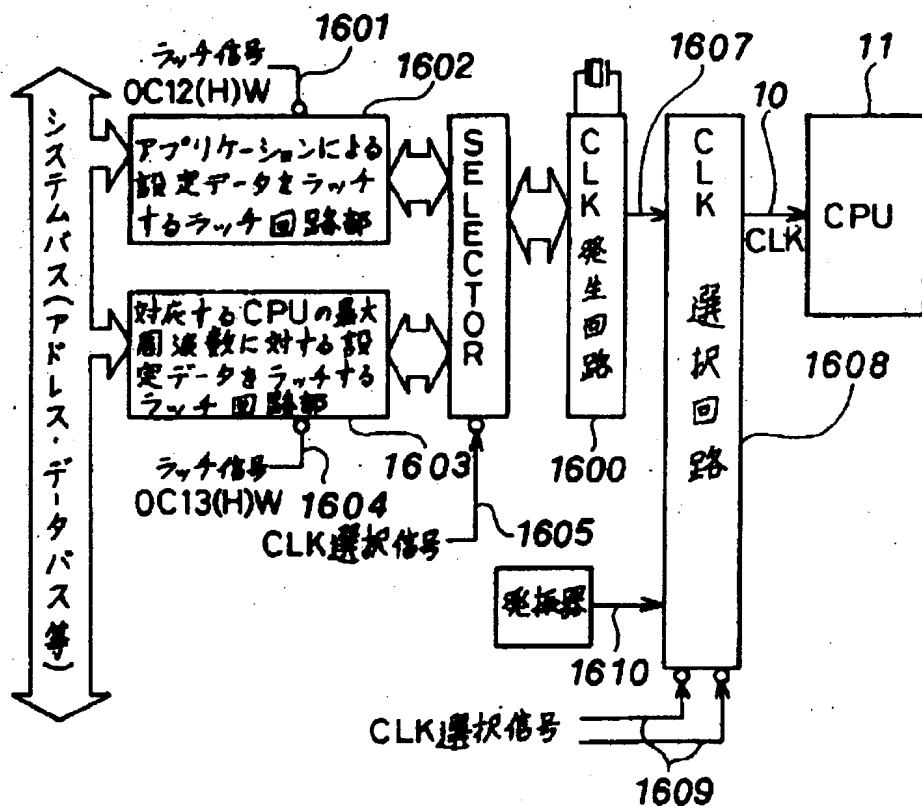
【図22】



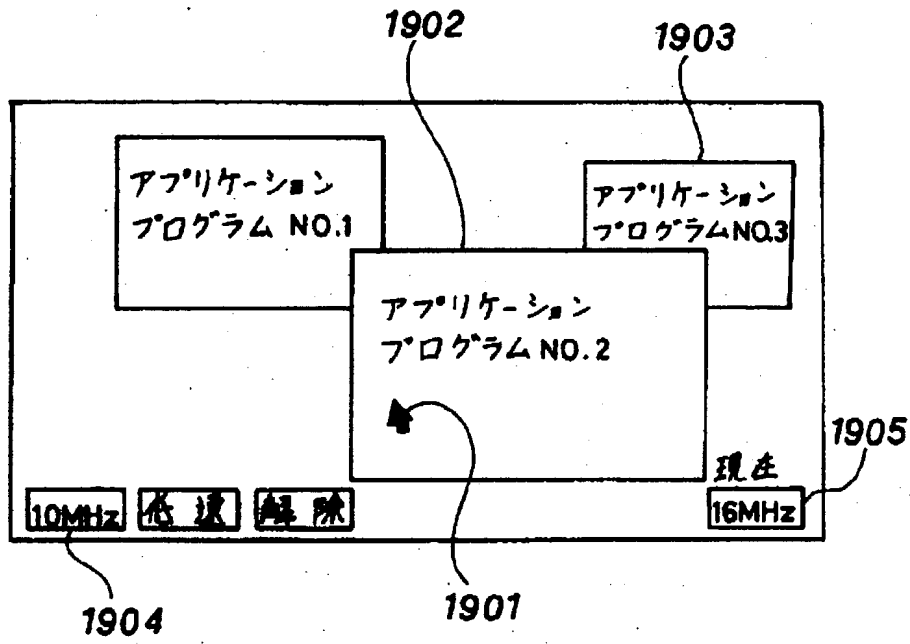
【図18】



【図20】

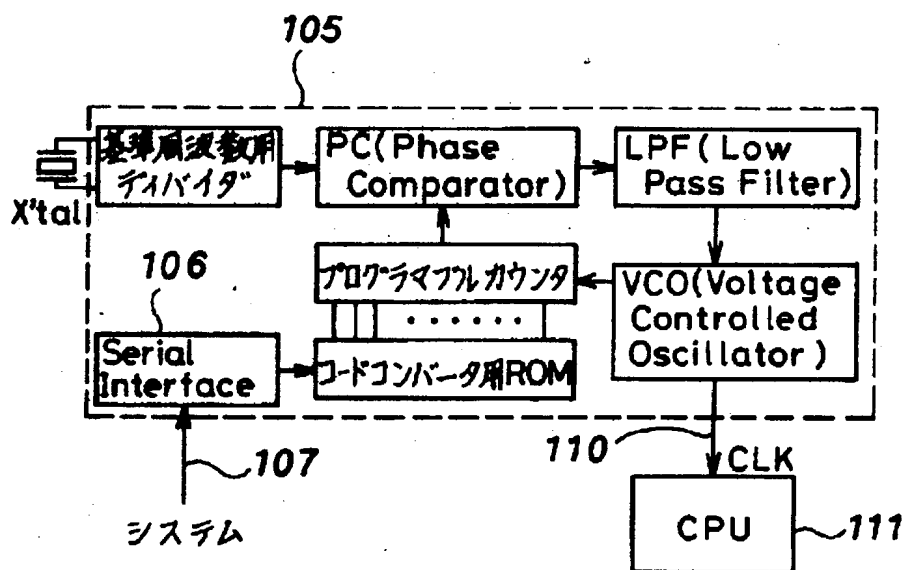


【図21】



【図23】

105: PLL方式の周波数
シンセサイザIC



【図24】

